

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-177048  
(43)Date of publication of application : 29.06.2001

51)Int.Cl. H01L 25/065  
H01L 25/07  
H01L 25/18

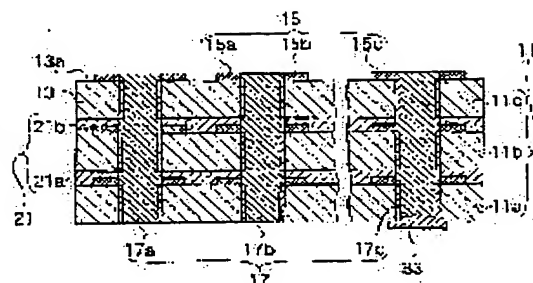
21)Application number : 11-359135 (71)Applicant : SEIKO EPSON CORP  
22)Date of filing : 17.12.1999 (72)Inventor : MAKABE AKIRA

## 54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME AND ELECTRONICS

### 57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a compact semiconductor device with satisfactory plating bonding strength which can be easily manufactured by laminating semiconductor chips through adhesive, forming an insulating film on the inner wall of a via formed in the semiconductor chip, and electrically connecting the electrodes of each semiconductor chip by the conductor of plating packed in the via, and a method for manufacturing this semiconductor device and electronics using this semiconductor device.

**SOLUTION:** In this semiconductor device, a plurality of semiconductor chips are laminated so as to be multi-layered, and the plurality of semiconductor chips are bonded through adhesive so as to be multi-layered. An insulating film is formed on the inner wall of a via formed in the semiconductor chip, and the via is packed with plating. This plating forms a conductor for connecting the electrode of each semiconductor chip, and each semiconductor chip is electrically connected.



### LEGAL STATUS

[Date of request for examination] 08.03.2004  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3731420  
[Date of registration] 21.10.2005  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

## \* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## CLAIMS

## [Claim(s)]

[Claim 1] The semiconductor device characterized by preparing the conductor of plating which is filled up with plating in beer and connects the electrode of each semiconductor chip while giving the insulator layer to the beer wall opened in the semiconductor chip in the semiconductor device which pasted up two or more semiconductor chips with adhesives, and was multilayered.

[Claim 2] The semiconductor device characterized by only for the predetermined diameter having removed the adhesives of a beer wall, having exposed the top face of an electrode, having heated the semiconductor chip, and preparing the conductor of plating which is filled up with plating for an insulator layer in beer with \*\*\*\*\*, and connects the electrode of each semiconductor chip to a beer wall in the semiconductor device which pasted up two or more semiconductor chips with adhesives, and was multilayered after opening beer in a semiconductor chip.

[Claim 3] The semiconductor device characterized by being filled up with plating and preparing a conductor in beer in claim 1 or a semiconductor device according to claim 2 after inserting a plug in the soffit section of beer.

[Claim 4] The semiconductor device characterized by preparing the conductor of plating which connects the electrode of each semiconductor chip of the vertical single tier which exposed the electrode of the side-face end face of each semiconductor chip with \*\*\*\*\*, and exposed the insulator layer in the side face of the semiconductor chip which carried out the laminating of two or more semiconductor chips in the semiconductor device pasted up and multilayered with adhesives.

[Claim 5] the process which pastes up two or more semiconductor chips with adhesives, and multilayers, the process which open beer in a semiconductor chip, the process which heat a semiconductor chip and form an insulator layer in a beer wall, the process which etch the inside of beer and expose an electrode, and the process which insert a semiconductor chip in a plating bath, are filled up with plating, form a conductor in beer, and connect the electrode of each semiconductor chip electrically — since — the manufacture approach of the semiconductor device characterized by to become.

[Claim 6] The process which pastes up two or more semiconductor chips with adhesives, and is multilayered, and the process which opens beer in a semiconductor chip, The process which removes the adhesives of a beer wall with a solvent and exposes an electrode top face, and the process which heats a semiconductor chip and forms an insulator layer in a beer wall, the process which etches the inside of beer and exposes an electrode, and the process which inserts a semiconductor chip in a plating bath, is filled up with plating, forms a conductor in beer, and connects an electrode electrically — since — the manufacture approach of the semiconductor device characterized by becoming.

[Claim 7] The process which pastes up two or more semiconductor chips with adhesives, and is multilayered, and the process which carries out grinding of the side face of a semiconductor chip, The process which heats a semiconductor chip and forms an insulator layer in a side face, and the process which exposes the electrode of a side-face edge, the process which applies a plating inhibitor and forms a slot out of the location individual reason of the vertical single tier of an electrode, and the process which forms the conductor which inserts a semiconductor chip in a plating bath, fills up a slot with plating, and connects the electrode of each semiconductor chip electrically — since — the manufacture approach of the semiconductor device characterized by becoming.

[Claim 8] Electronic equipment characterized by having a semiconductor device according to claim 1 to 7.

[Translation done.]

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device, its manufacture approach, and electronic equipment, especially, the laminating of the semiconductor chip is carried out with an easy configuration, and manufacture is easily related with the miniaturized good insulating semiconductor device, its manufacture approach, and electronic equipment.

[0002]

[Description of the Prior Art] Advanced features and a miniaturization of a semiconductor device are attained by arranging two or more semiconductor chips and a multi chip package (Multi Chip Package) taking in recent years into one package, with high-performance-izing of electronic equipment, and a miniaturization. And there is a laminating mold (stacked) MCP which carried out the laminating of the flat-surface mold MCP with which two or more semiconductor chips were put in order superficially, and two or more semiconductor chips in the thickness direction in a multi chip package (MCP). Since the flat-surface mold MCP which was able to put the semiconductor chip in order superficially needs a large component-side product, its contribution to the miniaturization of electronic equipment is small. For this reason, development of the laminating mold MCP which carried out the laminating of the semiconductor chip is performed briskly. After closing a semiconductor chip given in JP,6-37250,A or JP,6-204399,A in a package as this example, it puts vertically, and there is a technique which forms a module by performing electrical installation during a package using a wire, or the Bahia hall and a through hole.

[0003]

[Problem(s) to be Solved by the Invention] However, in this conventional laminating mold MCP, in JP,6-37250,A, when connecting mutually the semiconductor chip which carried out the laminating electrically, the terminal area was formed in the periphery section of each semiconductor chip, and between the terminal areas of each chip is connected with the wire. For this reason, the semiconductor chip which carries out a laminating must make size small, so that it goes upwards, and the electrical installation between semiconductor chips not only becomes complicated, but accumulation effectiveness and mounting effectiveness fall. Moreover, when the degree of integration of a semiconductor chip is raised, there is a possibility of between wires becoming small and producing a short circuit between wires.

[0004] Moreover, in JP,6-204399,A, since it is necessary to form the Bahia hall and a through hole in order to perform an interlayer connection, in order to carry out as follows, there is a problem that a manufacture process becomes complicated. That is, the laminating mold MCP connects a semiconductor chip and a wiring substrate electrically, in case it makes the laminating mold MCP, it creates two or more chip carriers used as a laminating unit, and it pastes up this chip carrier, a capacitor film, a heat-conduction substrate, and the package base on an adhesive film. And electrical installation between the components which formed and carried out the laminating of the through hole, and were pasted up is performed. At this time, there is a problem that manufacture processes, such as a hole of the Bahia hall or a through hole, alignment between layers, and improvement in each process tolerance of an exact drilling location, are difficult in processing of the Bahia hall or a through hole.

[0005] With the conductor of plating with which it was filled up in beer, after this invention gives an insulator layer to the beer wall opened in the semiconductor chip while carrying out the laminating of the semiconductor chip with adhesives paying attention to the above-mentioned conventional trouble, since it connected the electrode of each semiconductor chip electrically, manufacture is easy, plating bond strength is good, and it aims at offering a small semiconductor device, its manufacture approach, and the electronic equipment using this.

[0006]

[Means for Solving the Problem] In order to attain the above-mentioned object, while giving an insulator layer to the beer wall opened in the semiconductor chip in the semiconductor device which pasted up two or more semiconductor chips with adhesives, and was multilayered in the 1st semiconductor device concerning this invention, it is filled up with plating in beer and made the configuration which prepared the conductor of plating which connects the electrode of each semiconductor chip.

[0007] Thus, since constituted this invention serves as a conductor which it fills up with the inside of beer and flows through the electrical and electric equipment while plating is performed to the electrode arranged in the beer of each semiconductor chip, it can conduct current to each semiconductor chip regardless of gap of the size of a beer diameter or the hole location of beer.

[0008] In the semiconductor device which pasted up two or more semiconductor chips with adhesives, and was multilayered in the 2nd semiconductor device concerning this invention, after opening beer in a semiconductor chip, only a predetermined diameter removes the adhesives of a beer wall, the top face of an electrode is exposed, and a semiconductor chip is heated, and a beer wall is filled up with plating for an insulator layer in beer with \*\*\*\*\*, and it is made the configuration which prepared the conductor of plating which connects the electrode of each semiconductor chip.

[0009] Thus, the electric flow is still better, while the plane-of-composition product of an electrode and plating becomes large and increases the reinforcement of a joint, since the electrode with which constituted this invention was arranged in the beer of each semiconductor chip serves as a conductor which it fills up with the inside of beer and flows through the electrical and electric equipment while plating is performed to a beer wall and an electrode top face. Moreover, since the plane-of-composition product of an electrode and plating becomes large, further regardless of gap of the size of a beer diameter or the hole location of beer, current can be conducted to each semiconductor chip.

[0010] Moreover, after the semiconductor device concerning the above-mentioned invention inserts a plug in the soffit section of beer, it is desirable for it to be filled up with plating and to prepare a conductor in beer.

[0011] Thus, constituted this invention can aim at compaction of plating time amount while it becomes easy to plate since plating is performed also from the plug in beer in addition to an electrode and it is filled up with the inside of beer.

[0012] The 3rd semiconductor device concerning this invention is made the configuration which prepared the conductor which connects the electrode of each semiconductor chip of the vertical single tier which exposed the electrode of the side-face end face of each semiconductor chip with \*\*\*\*\*, and exposed the insulator layer by plating, and is connected electrically in the side face of the semiconductor chip which carried out the laminating of two or more semiconductor chips in the semiconductor device which pasted up with adhesives and was multilayered.

[0013] Thus, constituted this invention connects electrically the electrode exposed to the side-face end face of each semiconductor chip, and writes it as a conductor, and a component-side product becomes small. Moreover, in order to process the side-face end face of each semiconductor chip and to form a conductor, from the exterior, processing is possible and manufacture becomes easy.

[0014] The manufacture approach of the 1st semiconductor device concerning this invention The process which pastes up two or more semiconductor chips with adhesives, and is multilayered, and the process which opens beer in a semiconductor chip. The process which heats a

semiconductor chip and forms an insulator layer in a beer wall, and the process which etches the inside of beer and exposes an electrode, the process which inserts a semiconductor chip in a plating bath, is filled up with plating, forms a conductor in beer, and connects the electrode of each semiconductor chip electrically — since — he is trying to become

[0015] In order for this invention manufactured by such approach to fill up the inside of beer with plating, to form a conductor, to connect the electrode of each semiconductor chip with a conductor and to connect each semiconductor chip electrically, Since current can be conducted to each semiconductor chip regardless of the precision of the size of a beer diameter, or the hole location of beer, after manufacturing beer to it as it opens in the semiconductor chip which carried out the laminating, or opening beer in a semiconductor chip, it may be made to carry out a laminating. Since the laminating of a semiconductor chip may be made according to a product and you may fall the precision of the beer diameter or a hole location by this, manufacture becomes easy.

[0016] The manufacture approach of the 2nd semiconductor device concerning this invention The process which pastes up two or more semiconductor chips with adhesives, and is multilayered, and the process which opens beer in a semiconductor chip, The process which removes the adhesives of a beer wall with a solvent and exposes an electrode top face, and the process which heats a semiconductor chip and forms an insulator layer in a beer wall, the process which etches the inside of beer and exposes an electrode, and the process which inserts a semiconductor chip in a plating bath, is filled up with plating, forms a conductor in beer, and connects an electrode electrically — since — he is trying to become

[0017] In this invention manufactured by such approach, since the adhesives on the top face of an electrode can remove easily the electrode arranged in the beer of each semiconductor chip with a solvent, the plane-of-composition product of an electrode and plating can be enlarged easily, and junction processing becomes easy. Since the plane-of-composition product of the conductor which consists of an electrode and plating becomes large, the electric flow is still better. Moreover, like the above, since the plane-of-composition product of an electrode and plating becomes large, \*\*\*\* and also manufacture which can conduct current to each semiconductor chip further regardless of the precision of the size of a beer diameter or the hole location of beer become easy.

[0018] The manufacture approach of the 3rd semiconductor device concerning this invention The process which pastes up two or more semiconductor chips with adhesives, and is multilayered, and the process which carries out grinding of the side face of a semiconductor chip, The process which heats a semiconductor chip and forms an insulator layer in a side face, and the process which exposes the electrode of a side-face edge, the process which applies a plating inhibitor and forms a slot out of the location individual reason of the vertical single tier of an electrode, and the process which forms the conductor which inserts a semiconductor chip in a plating bath, fills up a slot with plating, and connects the electrode of each semiconductor chip electrically — since — he is trying to become

[0019] In this invention manufactured by such approach, since the electrode arranged in the side-face edge of each semiconductor chip serves as a conductor with which plating is performed to the slot formed by the plating inhibitor, processing of hole dawn etc. becomes unnecessary and manufacture is still easier. Moreover, since it is considering as the conductor which fills up a slot with plating and connects each semiconductor CHIBBU electrically and current can be conducted to each semiconductor chip regardless of the size of a slot, or the precision of a semiconductor chip, manufacture becomes easy. Moreover, in order to process the side-face end face of each semiconductor chip and to form a conductor, from the exterior, processing is possible and manufacture becomes easy.

[0020] Moreover, as for the electronic equipment concerning this invention, it is desirable to have the semiconductor device of the above-mentioned configuration.

[0021] Thus, since the manufacture of a semiconductor device is small easily and constituted this invention becomes cheap, it can obtain small and cheap electronic equipment.

[0022]

[Embodiment of the Invention] Below, the gestalt of desirable operation of the semiconductor device concerning this invention, its manufacture approach, and electronic equipment is explained at a detail according to an accompanying drawing.

[0023] the part which carried out the laminating of the semiconductor chip 11 of the semiconductor device 1 which drawing 1 requires for the operation gestalt of this invention — a part of that drawing 6 explains the production process of the 1st example of a semiconductor chip 11 from a side-face sectional view, the perspective view to which drawing 2 carried out the laminating of the semiconductor chip 11 of a semiconductor device 1, and drawing 3 sake — a part of that drawing 10 explains the production process of the 2nd example of a semiconductor chip 11 from a side-face sectional view and drawing 7 sake — it is a side-face sectional view.

[0024] In drawing 1 or drawing 2, the electrode 15 set to whole surface side 13a of the silicon single crystal substrate 13 (henceforth a substrate 13) with which the semiconductor chip 11 which constitutes a semiconductor device 1 (shown in drawing 17) serves as a substrate from aluminum is vapor-deposited. The laminating of the chip of two or more semiconductor chips 11, for example, 1st semiconductor chip 11a, 2nd semiconductor chip 11b, 3rd semiconductor chip 11c, and — is carried out, and the semiconductor device 1 is constituted. Below, the thing of each 1st semiconductor chip 11a, 2nd semiconductor chip 11b, 3rd semiconductor chip 11c, and — which summarized the whole is called semiconductor chip 11.

[0025] As for each semiconductor chip 11, two or more electrodes 15, for example, 1st electrode 15a, 2nd electrode 15b, 3rd electrode 15c, and — are vapor-deposited. 2nd electrode 15b is connected by 2nd conductor 17b, and 3rd electrode 15c is further connected electrically for 1st semiconductor chip 11a by which the laminating is carried out, 2nd semiconductor chip 11b, 3rd semiconductor chip 11c, and 1st electrode 15a of — by 1st conductor 17a by 3rd conductor 17c again.

[0026] Moreover, 1st semiconductor chip 11a, 2nd semiconductor chip 11b, 3rd semiconductor chip 11c, and — paste up the meantime by the adhesives 21 which consist of an insulating material, for example, 1st adhesives 21a, 2nd adhesives 21b, and —, and the laminating is carried out. In addition, although the electrode 15 was formed in one side of the graphic display upside of a substrate 13 and the circuit which is not illustrated was constituted from an above-mentioned example, the circuit which forms an electrode 15 in both sides and is not illustrated on both sides may be constituted.

[0027] This semiconductor chip 11 is manufactured at the process of the 1st example like drawing 3 and drawing 6. First, as shown in drawing 1, the electrode 15 which consists of aluminum, for example, 1st electrode 15a, 2nd electrode 15b, and 3rd electrode 15c — are vapor-deposited by whole surface side of substrate 13 13a. The insulator layer of SiO<sub>2</sub> which is not illustrated may be formed in the front face of the substrate 13 of this whole surface side 13a.

[0028] Next, as shown in drawing 3, the beer 25 which penetrated 1st semiconductor chip 11a, 2nd semiconductor chip 11b, 3rd semiconductor chip 11c, — and 1st adhesives 21a, 2nd adhesives 21b, and — with the drill which does not illustrate a semiconductor chip 11 in the electrode 15 of aluminum is opened. For example, by the bus line, as for this electrode 15, a hole is opened in width of face of 100 micrometers with a drill with a diameter of 50 micrometers. The semiconductor chip 11 with which this beer 25 was opened is heated at predetermined temperature.

[0029] Consequently, as shown in drawing 4, the insulator layer 27 of SiO<sub>2</sub> is formed in the wall of the beer 25 of a substrate 13. Moreover, the oxidation aluminum film 29 is formed in the electrode 15 of the aluminum of beer 25. Next, the oxidation aluminum film 29 formed in the aluminum electrode 15 of beer 25 is removed by selective etching as shown in drawing 5.

[0030] While the insulator layer 27 of SiO<sub>2</sub> is formed in the substrate 13 of the wall of beer 25, as it performs and fills up with coppering and the inside of the beer 25 of the semiconductor chip 11 with which the oxidation aluminum film 29 was removed and the aluminum electrode 15 was exposed is shown in drawing 6, a conductor 17 (1st conductor 17a [ which is shown in drawing 1 ], 2nd conductor 17b, 3rd conductor 17c, —) is formed. Thereby, as shown in drawing 1, 2nd electrode 15b is connected by 2nd conductor 17b, and 3rd electrode 15c is further connected electrically for 1st semiconductor chip 11a, 2nd semiconductor chip 11b, 3rd semiconductor chip 11c, and 1st electrode 15a of — by 1st conductor 17a by 3rd conductor 17c again.

[0031] While the plug 33 (shown in drawing 1) which becomes the end section of the hole of beer 25 from ingredients, such as copper, is inserted, this

coppering After one side of the electrode for plating which is not illustrated to a plug 33 is connected and the electrode for plating of another side is inserted in plating liquid it inserts in the plating bath which is not illustrated — having — a semiconductor chip 11 — the hole of beer 25 — plating is grown up inside, it is filled up and 1st conductor 17a, 2nd conductor 17b, 3rd conductor 17c, and — are formed in it. This plug 33 can be used as an electrode of a semiconductor device 1. moreover, the plating bath which is not illustrated after one side of the electrode for plating is connected to the electrode 15 of a semiconductor chip 11 as other examples, without using a plug 33 and the electrode for plating of another side is inserted in plating liquid — inserting — the hole of beer 25 — plating is grown up inside, it is filled up and 1st conductor 17a, 2nd conductor 17b, 3rd conductor 17c, and — are formed in it.

[0032] In the above-mentioned example, although between each semiconductor chip 11 was opened with the drill after [ each 1st semiconductor chip 11a 2nd semiconductor chip 11b, 3rd semiconductor chip 11c, and — ] it pasted up by 1st adhesives 21a, 2nd adhesives 21b, and —, beer 25 After [ 1st semiconductor chip 11a, 2nd semiconductor chip 11b, 3rd semiconductor chip 11c, and — ] opening the hole of beer 25 in each, you may make it form the beer 25 which used the fixture and was penetrated. At this time, temporarily, since [ of 1st semiconductor chip 11a, 2nd semiconductor chip 11b, 3rd semiconductor chip 11c, and — ] plating is filled up even if the hole of beer 25 shifts to each, the conductor 17 connected electrically can be formed. Therefore, the precision of the perforation location of beer 25 can fall and manufacture becomes easy.

[0033] Next, the process of the 2nd example of manufacturing the semiconductor chip 11 with which a semiconductor device 1 (shown in [drawing 17](#)) is constituted is explained. In the 1st example, while forming the insulator layer 27 of SiO<sub>2</sub> in the substrate 13, after the oxidation aluminum film 29 of the aluminum electrode 15 is removed and exposed to the wall of the hole of beer 25, coppering is performed and the semiconductor chip 11 forms the conductor.

[0034] On the other hand, in the 2nd example, while only the specified quantity removes 1st adhesives 21a of the top face of the electrode 15 which touches beer 25, 2nd adhesives 21b, and —, also exposing the top face of an electrode 15 and pasting up a semiconductor chip 11, after heating a semiconductor chip 11 and giving an insulator layer to a substrate 13, coppering is performed and the semiconductor chip 11 forms the conductor.

[0035] First, as shown in [drawing 1](#) like the 1st example, the electrode 15 which consists of aluminum is vapor-deposited by whole surface side of substrate 13 13a. The insulator layer of SiO<sub>2</sub> which is not illustrated may be formed in the substrate 13 of this whole surface side 13a. Moreover, as shown in [drawing 1](#) like the 1st example, the beer 25 which penetrated 1st semiconductor chip 11a, 2nd semiconductor chip 11b, 3rd semiconductor chip 11c, — and 1st adhesives 21a, 2nd adhesives 21b, and — with the drill which is not illustrated to an electrode 15 is opened.

[0036] Next, as the graphic display upside (Ma) of 1st electrode 15a and 2nd electrode 15b shows the semiconductor chip 11 with which beer 25 was opened to [drawing 7](#) with the organic solvent which fuses insulating 1st adhesives 21a, 2nd adhesives 21b, and —, only the specified quantity (diameter Da) is removed, and an electrode top face is exposed. This semiconductor chip 11 is heated at predetermined temperature. Consequently, as shown in [drawing 8](#), the insulator layer 27 of SiO<sub>2</sub> is formed in the substrate 13 of beer 25. Before removing like the 1st example and heating a semiconductor chip 11 at predetermined temperature after the oxidation aluminum film 29 is formed, the antioxidant is applied to the graphic display top face of an electrode 15, and the inner surface of beer 25, and you may make it prevent generating of an oxide film in the electrode 15 of the aluminum in beer 25.

[0037] Next, the oxidation aluminum film 29 formed in the aluminum electrode 15 of beer 25 is removed by selective etching as shown in [drawing 9](#). While the insulator layer 27 of SiO<sub>2</sub> is formed in the substrate 13 of beer 25, in the beer 25 of the semiconductor chip 11 with which the oxidation aluminum film 29 was removed, or generating of an oxide film was prevented, and the aluminum electrode 15 was exposed, it performs and fills up with coppering, and as shown in [drawing 10](#), a conductor 17 (1st conductor 17a [ which is shown in [drawing 1](#) ], 2nd conductor 17b, 3rd conductor 17c, —) is formed. Thereby, as shown in [drawing 1](#), 2nd electrode 15b is connected by 2nd conductor 17b, and 3rd electrode 15c is further connected electrically for 1st semiconductor chip 11a, 2nd semiconductor chip 11b, 3rd semiconductor chip 11c, and 1st electrode 15a of — by 1st conductor 17a by 3rd conductor 17c again.

[0038] Conductivity becomes good, while the amount of adhesion of the part from which the specified quantity was removed for insulating 1st adhesives 21a, 2nd adhesives 21b, and — with the graphic display up side (Ma) of an electrode 15 of coppering increases with 1st electrode 15a, 2nd electrode 15b, and 3rd electrode 15c — and its bond strength increases in the 2nd example at this time. Since the manufacture approach of coppering is the same as that of the 1st example, explanation is omitted.

[0039] Although the organic solvent removed 1st adhesives 21a around beer 25, 2nd adhesives 21b, and —, they use a fixture etc. for the perimeter of beer 25, and you may make it not apply only the part of the predetermined diameter Da (shown in [drawing 7](#)) in the above-mentioned example, so that the top face of an electrode 15 may expose only the specified quantity.

[0040] Next, the process of the 3rd example of manufacturing the semiconductor chip 41 for side-face electrodes with which a semiconductor device 1 is constituted is explained.

[0041] a part of that [drawing 16](#) explains the production process of the 3rd example of the semiconductor chip 41 for side-face electrodes from the perspective view to which [drawing 11](#) carried out the laminating of the semiconductor chip 41 for side-face electrodes of a semiconductor device 1, and [drawing 12](#) sake — it is a side-face sectional view.

[0042] In the 1st example and the 2nd example, after opening beer 25 in the semiconductor chip 11 which carried out the laminating, while heating a semiconductor chip 11 and giving an insulator layer to beer 25, it was plated and filled up in beer 25 and each electrodes 15a, 15b, and 15c and — are electrically connected with the conductor 19 of each semiconductor chips 11a, 11b, and 11c and — which consists of plating within beer 25, respectively.

[0043] On the other hand, in the 3rd example, the semiconductor chip 41 for side-face electrodes of a semiconductor device 1 performed plating of 1st semiconductor chip 41 for side-face electrodes a by which the laminating was carried out, 2nd semiconductor chip 41 for side-face electrodes b, 3rd semiconductor chip 41 for side-face electrodes c, and — through which vapor-deposits the electrode 43 for side faces to a side face on the whole surface, and the electrode 43 for side faces flows with the electrode 43 for side faces on a side face, formed the side-face conductor 45, and has connected it electrically. Aluminum is vapor-deposited by whole surface side 13a of a substrate 13 to the side-face edge of a substrate 13, and the electrode 43 for side faces had predetermined thickness on the side face, and is exposed to it. As for this electrode 43 for side faces, 1st electrode of side face 43a, 2nd electrode of side face 43b, 3rd electrode of side face 43c, and — are vapor-deposited by whole surface side 13a of a substrate 13. Moreover, although this electrode 43 for side faces constituted the circuit which forms an electrode 43 in one side of the graphic display upside of a substrate 13, and is not illustrated, it may constitute the circuit which forms an electrode 43 in both sides and is not illustrated on both sides like the above.

[0044] 2nd electrode of side face 43b is connected by 2nd conductor of side face 45b, and 3rd electrode of side face 43c is further connected electrically for 1st semiconductor chip 41 for side-face electrodes a by which the laminating was carried out, 2nd semiconductor chip 41 for side-face electrodes b, 3rd semiconductor chip 41 for side-face electrodes c, and 1st electrode of side face 43a of — by 1st conductor of side face 45a by 3rd conductor of side face 45c again.

[0045] Moreover, 1st semiconductor chip 41 for side-face electrodes a, 2nd semiconductor chip 41 for side-face electrodes b, 3rd semiconductor chip 41 for side-face electrodes c, and — paste up the meantime by 1st adhesives 47 for side-face electrodes a which consists of an insulating material, 2nd adhesives 47 for side-face electrodes b, and —, and the laminating is carried out.

[0046] This semiconductor chip 41 for side-face electrodes is manufactured at the process of the 3rd example like [drawing 12](#) and [drawing 16](#). First, as shown in [drawing 12](#), electrode 43a for side faces which consists of aluminum is vapor-deposited by whole surface side of substrate 13 13a to the edge (Pa) of a substrate 13. It may be formed before the insulator layer of SiO<sub>2</sub> which is not illustrated except for the electrode 43 section pasting the substrate 13 of this whole surface side 13a.

[0047] Next, as the semiconductor chip 41 for side-face electrodes is shown in [drawing 12](#), grinding of all the side faces (edge Pa) is carried out. As

the semiconductor chip 41 for side-face electrodes by which grinding was carried out is shown in drawing 13, it is heated at predetermined temperature, and while the insulator layer 49 for side faces of SiO<sub>2</sub> is formed in all the side faces of the substrate 13 which consists of a silicon single crystal which the electrode 43 for side faces has exposed, the oxidation aluminum film 51 for side faces is formed in the front face of the electrode 43 for side faces. The oxidation aluminum film 51 for side faces formed in the front face of this electrode 43 for side faces is removed by selective etching as shown in drawing 14.

[0048] Next, 1st semiconductor chip 41 for side-face electrodes a by which the laminating was carried out, 2nd semiconductor chip 41 for side-face electrodes b, As it leaves the vertical single tier of 3rd semiconductor chip 41 for side-face electrodes c, and 1st electrode of side face 43a of —, the vertical single tier of 2nd electrode of side face 43b, the vertical single tier of 3rd electrode of side face 43c, and the part of — that plates and is shown in drawing 15, the plating inhibitor 53 is applied to other side faces, and the slot 55 of bonnet each vertical single tier is formed.

[0049] While the insulator layer 49 for side faces of SiO<sub>2</sub> is formed in the side face of a substrate 13, a conductor 45 is formed in the edge (Pa) of 2nd semiconductor chip 41 for side-face electrodes b, 3rd semiconductor chip 41 for side-face electrodes c, and —, as it performs and fills up with coppering and the slot 55 of the semiconductor chip 41 for side-face electrodes with which the oxidation aluminum film 51 for side faces was removed, and the electrode 43 for side faces was exposed is shown in drawing 16. Thereby, as shown in drawing 11, 2nd electrode of side face 43b is connected by 2nd conductor of side face 45b, and 3rd electrode of side face 43c is further connected electrically for 1st semiconductor chip 41 for side-face electrodes a, 2nd semiconductor chip 41 for side-face electrodes b, 3rd semiconductor chip 41 for side-face electrodes c, and 1st electrode of side face 43a of — by 1st conductor of side face 45a by 3rd conductor of side face 45c again.

[0050] After one side of the electrode for plating which is not illustrated to the electrode 43 for side faces of the semiconductor chip 41 for side-face electrodes is connected and the electrode for plating of another side is inserted in plating liquid, as this coppering is inserted in the plating bath which is not illustrated and is shown in drawing 11. In the vertical single tier of 1st electrode of side face 43a, the vertical single tier of 2nd electrode of side face 43b, the vertical single tier of 3rd electrode of side face 43c, and —, plating is grown up, it is filled up and 1st semiconductor chip 41 for side-face electrodes a, 2nd semiconductor chip 41 for side-face electrodes b, 3rd semiconductor chip 41 for side-face electrodes c, and — are formed.

[0051] Although grinding of the semiconductor chip 41 for side-face electrodes which carried out the laminating was carried out in the above-mentioned example, the laminating of what carried out grinding may be carried out with the adhesives 47 for side-face electrodes, and grinding may be omitted. Moreover, although the electrode 43 for side faces showed the example vapor-deposited so that it may expose to the edge of a substrate 13, you may make it expose it by grinding, without making it expose to an edge.

[0052] As shown in drawing 17, when each unified semiconductor chip 11 and the semiconductor chip 41 for side-face electrodes slush the mould resin 57 of predetermined thickness, a semiconductor device 1 is formed. Moreover, it is constituted so that it may connect with the exterior and an electric target from the upper and lower sides of the plug 33 bottom, a conductor 17, and a conductor 45, or either of the electrodes 43 (it has written on the bottom in the graphic display). Moreover, you may make it constitute so that the wire ball bump 59 may be formed in the upper and lower sides of the plug 33 bottom, a conductor 17, and a conductor 45, or an electrode 43 and it may connect with the exterior and an electric target.

[0053] The circuit board 1000 which mounted the semiconductor device 1 concerning the gestalt of operation of this invention in drawing 18 is shown. It is common to the circuit board 1000 to use organic system substrates, such as for example, a glass EPOSHIKI substrate. It is formed in the circuit board 1000 so that the bonding area which consists of copper may serve as a desired circuit. And those electric flows are achieved by connecting mechanically a bonding area and the external electrode of a semiconductor device 1.

[0054] In addition, since a semiconductor device 1 can be made small even in the area which mounts a component-side product with a bare chip, if this circuit board 1000 is used for electronic equipment, the miniaturization of the electrical machinery and apparatus itself will be attained. Moreover, a mounting tooth space can be secured more in the same area, and it is also possible to attain advanced features.

[0055] And the note type personal computer 1200 is shown in drawing 19 as electronic equipment equipped with this circuit board 1000. this note type personal computer 1200 — manufacture — it is easy, and since it has the miniaturized cheap circuit board 1000, it can do cheaply in a miniaturization.

[0056]

[Effect of the Invention] Since it is the conductor which the electrode arranged in the beer of each semiconductor chip is performed and filled up with plating, and flows through the electrical and electric equipment according to this invention as explained above, regardless of the precision of the size of a beer diameter, or the hole location of beer, current can be conducted to each semiconductor chip. Moreover, the electric flow is still better, while the plane-of-composition product of an electrode and plating becomes large and increases the reinforcement of a joint, since the electrode serves as a conductor which a beer wall and an electrode top face are performed and filled up with plating, and flows through the electrical and electric equipment. Moreover, since plating is performed from both a plug and an electrode and is filled up with the inside of beer, while plating construction becomes easy, compaction of plating time amount can be aimed at.

[0057] Moreover, while connecting electrically the electrode exposed to the side-face end face of each semiconductor chip, writing as a conductor and a component-side product's becoming small, in order to process a side-face end face and to form a conductor, from the exterior, processing is possible and manufacture becomes easy. Since it is considering as the conductor which fills up the slot of the side-face end face of each semiconductor chip with plating, and connects each semiconductor CHIBBU electrically and current can be conducted to each semiconductor chip regardless of the size of a slot, or the precision of a semiconductor chip, manufacture becomes easy.

[0058] Moreover, since manufacture is small and becomes cheap easily, a semiconductor device can obtain small and cheap electronic equipment.

[Translation done.]



## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

## [Brief Description of the Drawings]

[Drawing 1] the laminating of the semiconductor chip of the 1st operation gestalt of the semiconductor device concerning the operation gestalt of this invention was carried out — it is a side-face sectional view a part.

[Drawing 2] It is the perspective view which carried out the laminating of the semiconductor chip of the 1st operation gestalt of the semiconductor device concerning the operation gestalt of this invention and which carried out the laminating.

[Drawing 3] the perforation process of the semiconductor chip in the 1st operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 4] the process which manufactures the insulator layer of the semiconductor chip in the 1st operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 5] the process which etches the insulator layer of the electrode of the semiconductor chip in the 1st operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 6] the process which plates from the beer of the semiconductor chip in the 1st operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 7] the process which removes the adhesives of the semiconductor chip in the 2nd operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 8] the process which manufactures the insulator layer of the semiconductor chip in the 2nd operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 9] the process which etches the insulator layer of the electrode of the semiconductor chip in the 2nd operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 10] the process which plates from the beer of the semiconductor chip in the 2nd operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 11] It is the perspective view which carried out the laminating of the semiconductor chip of the 3rd operation gestalt of the semiconductor device concerning the operation gestalt of this invention.

[Drawing 12] the grinding operation of the semiconductor chip in the 3rd operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 13] the process which manufactures the insulator layer of the semiconductor chip in the 3rd operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 14] the process which etches the insulator layer of the electrode of the semiconductor chip in the 3rd operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 15] the process which plates on the side face of the semiconductor chip in the 3rd operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 16] the process which shows the result of having plated on the side face of the semiconductor chip in the 3rd operation gestalt of the semiconductor device concerning the operation gestalt of this invention is explained — it is a side-face sectional view a part.

[Drawing 17] It is the side-face sectional view of the semiconductor device concerning the operation gestalt of this invention.

[Drawing 18] It is the explanatory view of the example of application to the circuit board of the semiconductor device concerning an operation gestalt.

[Drawing 19] It is the explanatory view of the example of application to the electronic equipment of the semiconductor device concerning an operation gestalt.

## [Description of Notations]

- 1 Semiconductor Device
- 11 Semiconductor Chip
- 13 Silicon Single Crystal Substrate
- 15 Electrode
- 17 Conductor
- 21 Adhesives
- 25 Beer
- 27 Insulator Layer
- 29 Oxidation Aluminum Film
- 33 Plug
- 41 Semiconductor Chip for Side-Face Electrodes
- 43 Side-Face Electrode
- 45 Side-Face Conductor
- 47 Adhesives for Side-Face Electrodes
- 49 Insulator Layer for Side Faces
- 51 Oxidation Aluminum Film for Side Faces
- 53 Plating Inhibitor
- 55 Slot
- 57 Mould Resin
- 59 Wire Ball Bump
- 1000 Circuit Board
- 1200 Note Type Personal Computer



[Translation done.]

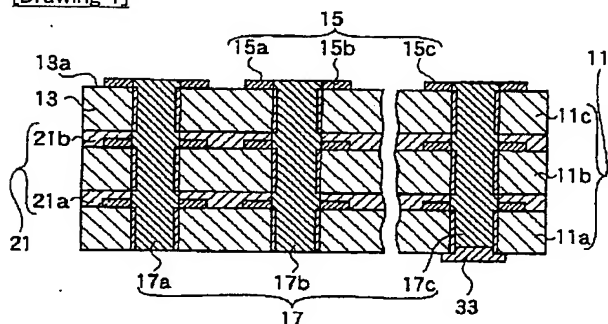
## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

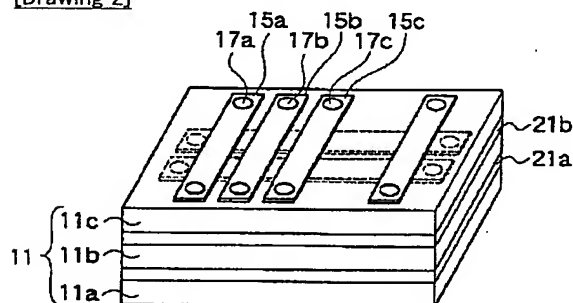
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

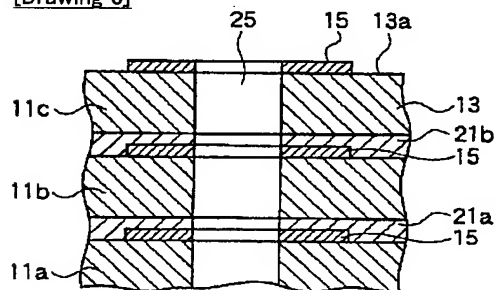
[Drawing 1]



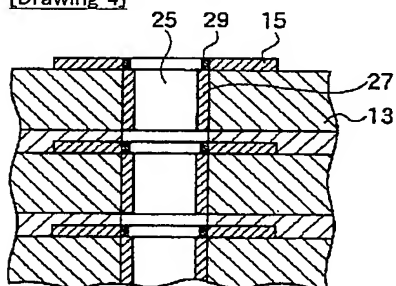
[Drawing 2]



[Drawing 3]

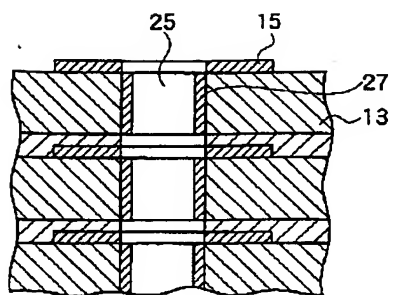


[Drawing 4]

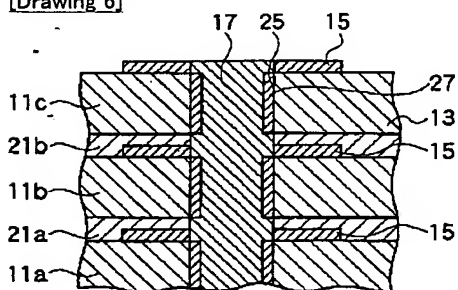


[Drawing 5]

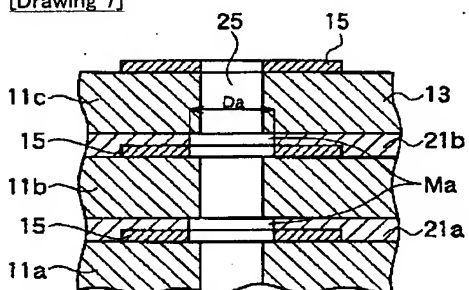




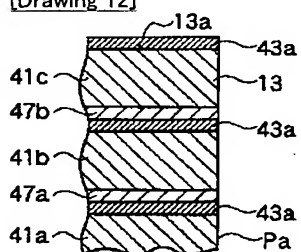
[Drawing 6]



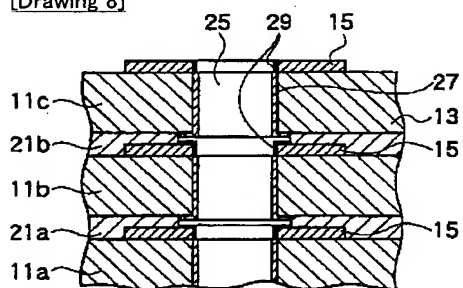
[Drawing 7]



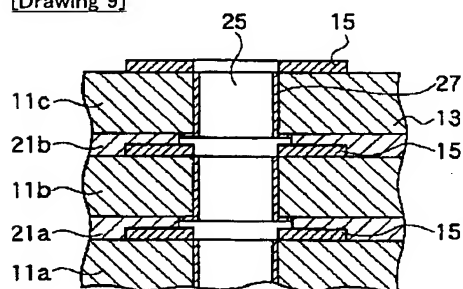
[Drawing 12]



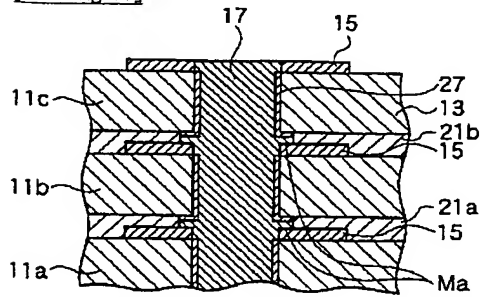
[Drawing 8]



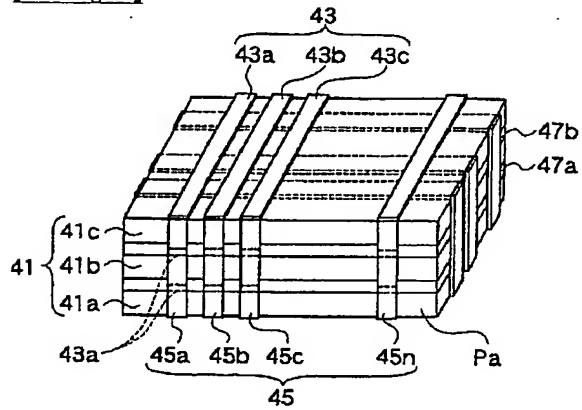
[Drawing 9]



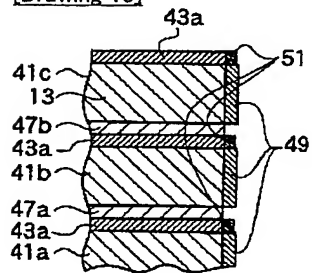
[Drawing 10]



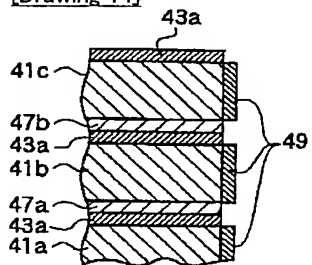
[Drawing 11]



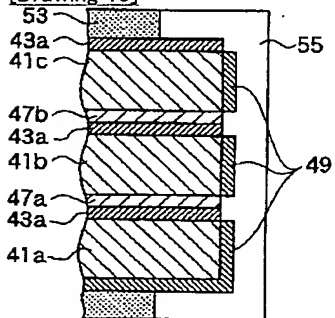
[Drawing 13]



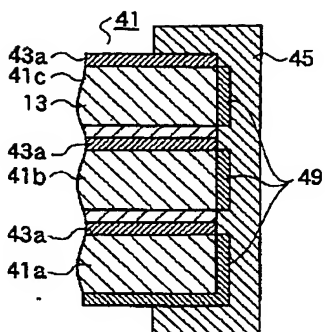
[Drawing 14]



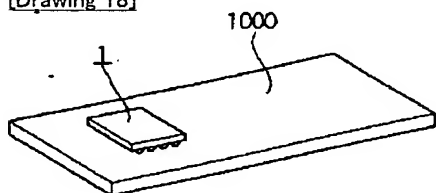
[Drawing 15]



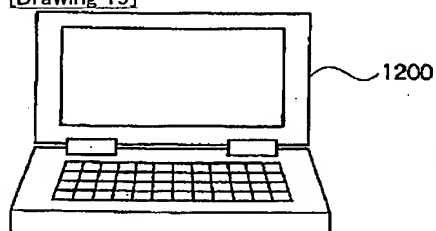
[Drawing 16]



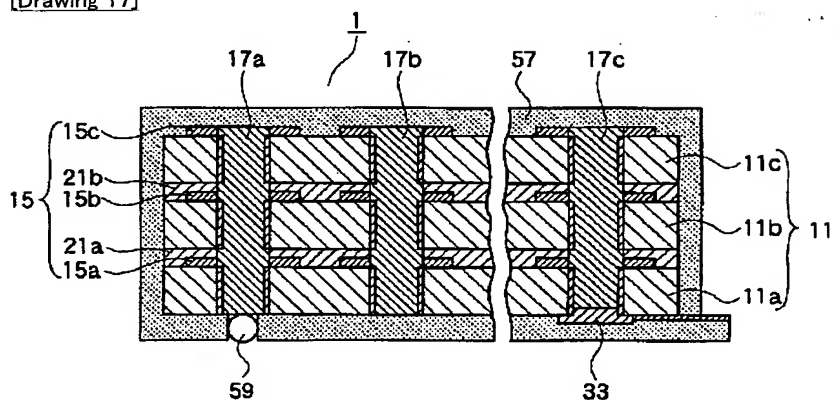
[Drawing 18]



[Drawing 19]



[Drawing 17]



[Translation done.]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-177048

(P2001-177048A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 25/065

H 0 1 L 25/08

B

25/07

25/18

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号

特願平11-359135

(22) 出願日

平成11年12月17日 (1999. 12. 17)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 間ヶ部 明

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

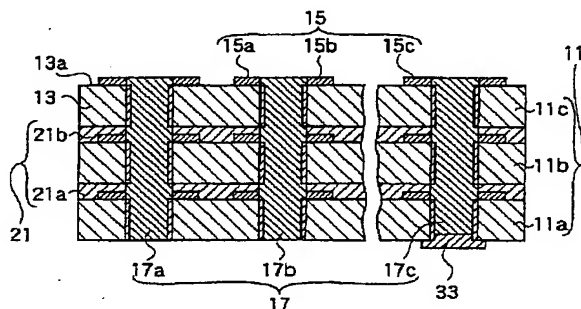
弁理士 鈴木 喜三郎 (外 2 名)

(54) 【発明の名称】 半導体装置及びその製造方法、ならびに電子機器

(57) 【要約】

【課題】 半導体チップを接着剤にて積層するとともに、半導体チップにかけたビア内壁に絶縁膜を施した後、ビア内に充填したメッキの導電体により、各半導体チップの電極を電気的に接続したため、製造が容易で、メッキ接着強度が良く、小型の半導体装置およびその製造方法、ならびにこれを用いた電子機器を提供する。

【解決手段】 複数の半導体チップを積層して多層化した半導体装置である。複数の半導体チップを接着剤で接着して多層化した半導体装置である。半導体チップにかけたビア内壁に絶縁膜を施すとともに、ビア内をメッキにて充填する。このメッキが各半導体チップの電極を接続する導電体を形成し、各半導体チップを電気的に接続した構成とするものである。





## 【特許請求の範囲】

【請求項 1】 複数の半導体チップを接着剤で接着して多層化した半導体装置において、半導体チップにあけたビア内壁に絶縁膜を施すとともに、ビア内にメッキを充填し、各半導体チップの電極を接続するメッキの導電体を設けたことを特徴とする半導体装置。

【請求項 2】 複数の半導体チップを接着剤で接着して多層化した半導体装置において、半導体チップにビアをあけた後、ビア内壁の接着剤を所定直径だけ除去して電極の上面を露出し、半導体チップを加熱してビア内壁に絶縁膜を施すとともに、ビア内にメッキを充填し、各半導体チップの電極を接続するメッキの導電体を設けたことを特徴とする半導体装置。

【請求項 3】 請求項 1 あるいは請求項 2 に記載の半導体装置において、ビアの下端部にプラグを挿入した後、ビア内にメッキを充填し導電体を設けることを特徴とする半導体装置。

【請求項 4】 複数の半導体チップを接着剤で接着して多層化した半導体装置において、積層した半導体チップの側面に絶縁膜を施すとともに、各半導体チップの側面端面の電極を露出し、露出した縦一列の各半導体チップの電極を接続するメッキの導電体を設けたことを特徴とする半導体装置。

【請求項 5】 複数の半導体チップを接着剤で接着して多層化する工程と、半導体チップにビアをあける工程と、半導体チップを加熱してビア内壁に絶縁膜を形成する工程と、ビア内をエッチングして電極を露出する工程と、半導体チップをメッキ槽に挿入してビア内にメッキを充填して導電体を形成し、各半導体チップの電極を電氣的に接続する工程と、からなることを特徴とする半導体装置の製造方法。

【請求項 6】 複数の半導体チップを接着剤で接着して多層化する工程と、半導体チップにビアをあける工程と、ビア内壁の接着剤を溶剤で除去して電極上面を露出する工程と、半導体チップを加熱してビア内壁に絶縁膜を形成する工程と、ビア内をエッチングして電極を露出する工程と、半導体チップをメッキ槽に挿入してビア内にメッキを充填して導電体を形成し、電極を電氣的に接続する工程と、からなることを特徴とする半導体装置の製造方法。

【請求項 7】 複数の半導体チップを接着剤で接着して多層化する工程と、半導体チップの側面を研削する工程と、半導体チップを加熱して側面に絶縁膜を形成する工程と、側面端面の電極を露出する工程と、電極の縦一列の所在個所以外にメッキ防止剤を塗布して溝を形成する工程と、半導体チップをメッキ槽に挿入して、溝にメッキを充填し各半導体チップの電極を電氣的に接続する導電体を形成する工程と、からなることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 乃至 7 のいずれかに記載の半導

体装置を備えたことを特徴とする電子機器。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法、ならびに電子機器に係り、特に、半導体チップを簡単な構成で積層し、製造が容易で、かつ、絶縁性の良い小型化された半導体装置及びその製造方法、ならびに電子機器に関する。

【0002】

10 【従来の技術】 近年、電子機器の高性能化、小型化に伴って一つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージ (Multi Chip Package) とすることにより、半導体装置の高機能化と小型化とが図られている。そして、マルチチップパッケージ (MCP) には、複数の半導体チップが平面的に並べられた平面型 MCP と、複数の半導体チップを厚み方向に積層した積層型 (スタックド) MCP とがある。半導体チップを平面的に並べられた平面型 MCP は、広い実装面積を必要とするため、電子機器の小型化への寄与率が小さい。このため、半導体チップを積層した積層型 MCP の開発が盛んに行われている。この例として、特開平 6-37250 号公報や特開平 6-204399 号公報に記載の、半導体チップをパッケージに封止した後に垂直に積み重ね、ワイヤ、あるいは、バイアホールやスルーホールを用いてパッケージ間の電氣的接続を行うことによりモジュールを形成する技術、などがある。

【0003】

【発明が解決しようとする課題】 しかしながら、この従来の積層型 MCP では、特開平 6-37250 号公報においては、積層した半導体チップを相互に電氣的に接続する場合、各半導体チップの周縁部に端子部を形成し、各チップの端子部間をワイヤによって接続している。このため、半導体チップ相互の電氣的接続が煩雑となるばかりでなく、積層する半導体チップは、上にいくほどサイズを小さくしなければならず、集積効率、実装効率が低下する。また、半導体チップの集積度が向上させると、ワイヤ間が小さくなってワイヤ間で短絡を生ずる恐れがある。

【0004】 また、特開平 6-204399 号公報においては、層間接続を行うために、バイアホールやスルーホールを形成する必要があるため次のように行うため製造プロセスが複雑になるという問題がある。すなわち、積層型 MCP は、半導体チップと配線基板とを電氣的に接続し、積層型 MCP を作る際に積層単位となるチップキャリアを複数枚作成し、このチップキャリアとコンデンサフィルムと熱伝導基板とパッケージベースとを接着フィルムに接着する。そしてスルーホールを形成し、積層し接着した部品間の電氣的接続を行う。このとき、バイアホールやスルーホールの加工には、バイアホールやスルーホールの孔、層間の位置合わせ、および、正確な

穴あけ位置の各加工精度の向上などの製造プロセスが困難であるという問題がある。

【0005】本発明は、上記従来の問題点に着目し、半導体チップを接着剤にて積層するとともに、半導体チップにあけたビア内壁に絶縁膜を施した後、ビア内に充填したメッキの導電体により、各半導体チップの電極を電気的に接続したため、製造が容易で、メッキ接着強度が良く、小型の半導体装置およびその製造方法、ならびにこれを用いた電子機器を提供することを目的としている。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明に係る第1の半導体装置では、複数の半導体チップを接着剤で接着して多層化した半導体装置において、半導体チップにあけたビア内壁に絶縁膜を施すとともに、ビア内にメッキを充填し、各半導体チップの電極を接続するメッキの導電体を設けた構成にしたものである。

【0007】このように構成した本発明は、各半導体チップのビア内に配設された電極にメッキが施されるとともに、ビア内が充填されて電気を導通する導電体となっているため、ビア直径の大小、あるいは、ビアの孔位置のズレに関係なく各半導体チップに導電することが出来る。

【0008】本発明に係る第2の半導体装置では、複数の半導体チップを接着剤で接着して多層化した半導体装置において、半導体チップにビアをあけた後、ビア内壁の接着剤を所定直径だけ除去して電極の上面を露出し、半導体チップを加熱してビア内壁に絶縁膜を施すとともに、ビア内にメッキを充填し、各半導体チップの電極を接続するメッキの導電体を設けた構成にしたものである。

【0009】このように構成した本発明は、各半導体チップのビア内に配設された電極は、ビア内壁および電極上面にメッキが施されるとともに、ビア内が充填されて電気を導通する導電体となっているため、電極とメッキとの接合面積が大きくなり、接合部の強度を増すとともに、電気の導通が更に良くなっている。また、電極とメッキとの接合面積が大きくなるため、ビア直径の大小、あるいは、ビアの孔位置のズレに、更に関係なく各半導体チップに導電することが出来る。

【0010】また、上記発明に係る半導体装置は、ビアの下端部にプラグを挿入した後にビア内にメッキを充填し導電体を設けることが望ましい。

【0011】このように構成した本発明は、電極以外にビア内のプラグからもメッキが施されてビア内を充填するためにメッキを施すのが容易になるとともに、メッキ時間の短縮が図れる。

【0012】本発明に係る第3の半導体装置は、複数の半導体チップを接着剤で接着して多層化した半導体装置

において、積層した半導体チップの側面に絶縁膜を施すとともに、各半導体チップの側面端面の電極を露出し、露出した縦一列の各半導体チップの電極をメッキにて接続し、電気的に接続する導電体を設けた構成にしたものである。

【0013】このように構成した本発明は、各半導体チップの側面端面に露出した電極を電気的に接続して導電体としたため、実装面積が小さくなる。また、各半導体チップの側面端面を加工して導電体を形成するために、外部より加工ができ製造が容易になる。

【0014】本発明に係る第1の半導体装置の製造方法は、複数の半導体チップを接着剤で接着して多層化する工程と、半導体チップにビアをあける工程と、半導体チップを加熱してビア内壁に絶縁膜を形成する工程と、ビア内をエッチングして電極を露出する工程と、半導体チップをメッキ槽に挿入してビア内にメッキを充填して導電体を形成し、各半導体チップの電極を電気的に接続する工程と、からなるようにしている。

【0015】このような方法で製造した本発明は、メッキにてビア内を充填して導電体を形成し、各半導体チップの電極を導電体で接続して各半導体チップを電気的に接続するため、ビア直径の大小、あるいは、ビアの孔位置の精度に関係なく各半導体チップに導電することが出来るので、積層した半導体チップにビアをあけるようにして製造しても良く、あるいは、半導体チップにビアをあけた後に積層するようにしても良い。これにより、製品に合わせて半導体チップの積層ができ、且つ、そのビア直径あるいは孔位置の精度を低下しても良いので製造が容易になる。

【0016】本発明に係る第2の半導体装置の製造方法は、複数の半導体チップを接着剤で接着して多層化する工程と、半導体チップにビアをあける工程と、ビア内壁の接着剤を溶剤で除去して電極上面を露出する工程と、半導体チップを加熱してビア内壁に絶縁膜を形成する工程と、ビア内をエッチングして電極を露出する工程と、半導体チップをメッキ槽に挿入してビア内にメッキを充填して導電体を形成し、電極を電気的に接続する工程と、からなるようにしている。

【0017】このような方法で製造した本発明では、各半導体チップのビア内に配設された電極は、電極上面の接着剤が溶剤により容易に除去できるので、電極とメッキとの接合面積を容易に大きくでき、接合加工が容易になる。電極とメッキよりなる導電体の接合面積が大きくなるので電気の導通が更に良くなっている。また、前記と同様に、電極とメッキとの接合面積が大きくなるため、ビア直径の大小、あるいは、ビアの孔位置の精度に、更に関係なく各半導体チップに導電することが出来るので更に製造が容易になる。

【0018】本発明に係る第3の半導体装置の製造方法は、複数の半導体チップを接着剤で接着して多層化する

工程と、半導体チップの側面を研削する工程と、半導体チップを加熱して側面に絶縁膜を形成する工程と、側面端部の電極を露出する工程と、電極の縦一列の所在個所以外にメッキ防止剤を塗布して溝を形成する工程と、半導体チップをメッキ槽に挿入して、溝にメッキを充填し各半導体チップの電極を電氣的に接続する導電体を形成する工程と、からなるようにしている。

【0019】このような方法で製造した本発明では、各半導体チップの側面端部に配設された電極は、メッキ防止剤で形成された溝にメッキが施される導電体となっているため、孔明けなどの加工が不要となり、製造が更に容易になっている。また、溝にメッキを充填し各半導体チップを電氣的に接続する導電体としているため、溝の大小、あるいは、半導体チップの精度に関係なく各半導体チップに導電することが出来るので、製造が容易になる。また、各半導体チップの側面端面を加工して導電体を形成するために、外部より加工ができ製造が容易になる。

【0020】また、本発明に係る電子機器は、上記構成の半導体装置を備えることが望ましい。

【0021】このように構成した本発明は、半導体装置は製造が容易で、かつ、小型で安価になるため、小型で安価な電子機器を得ることが出来る。

【0022】

【発明の実施の形態】以下に、本発明に係る半導体装置及びその製造方法、ならびに電子機器の好ましい実施の形態を添付図面に従って詳細に説明する。

【0023】図1は本発明の実施形態に係る半導体装置1の半導体チップ11を積層した一部側面断面図、図2は半導体装置1の半導体チップ11を積層した斜視図、図3から図6は半導体チップ11の第1実施例の製造工程を説明するための一部側面断面図、図7から図10は半導体チップ11の第2実施例の製造工程を説明するための一部側面断面図である。

【0024】図1あるいは図2において、半導体装置1（図17に示す）を構成する半導体チップ11は、基板となるシリコン単結晶基板13（以下、基板13という）の一面側13aにアルミニウムからなる電極15が蒸着されている。半導体装置1は、複数の半導体チップ11、例えば、第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…のチップが積層されて構成されている。以下では、各第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…の全体を纏めたものを半導体チップ11という。

【0025】各半導体チップ11は、複数の電極15、例えば、第1電極15a、第2電極15b、第3電極15c、…が蒸着されている。積層されている第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…の第1電極15aは第1導電体17aに

より、また、第2電極15bは第2導電体17bにより、更に、第3電極15cは第3導電体17cにより電氣的に接続されている。

【0026】また、第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…は、その間を絶縁材料からなる接着剤21、例えば、第1接着剤21a、第2接着剤21b、…で接着されて積層されている。なお、上記実施例では、基板13の図示上側の片面に電極15を設け、図示しない回路を構成したが、両側に電極15を設けて両側に図示しない回路を構成しても良い。

【0027】この半導体チップ11は、図3および図6のような第1実施例の工程で製造されている。まず、図1に示すように、基板13の一面側13aには、アルミニウムからなる電極15、例えば、第1電極15a、第2電極15b、第3電極15c…が蒸着されている。この一面側13aの基板13の表面には、図示しないSiO<sub>2</sub>の絶縁膜が形成されていても良い。

【0028】次に、図3に示すように、半導体チップ11は、アルミニウムの電極15の中に図示しないドリルにより第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…および、第1接着剤21a、第2接着剤21b、…を貫通したビア25があげられる。例えば、この電極15は、バスライン等では、100μmの幅に、50μmの直径のドリルで孔があげられる。このビア25があげられた半導体チップ11は所定の温度で加熱される。

【0029】この結果、図4に示すように、基板13のビア25の内壁には、SiO<sub>2</sub>の絶縁膜27が形成される。また、ビア25のアルミニウムの電極15には、酸化アルミニウム膜29が形成される。次に、ビア25のアルミニウム電極15に形成される酸化アルミニウム膜29が、図5に示すように、選択エッチングにより除去される。

【0030】SiO<sub>2</sub>の絶縁膜27がビア25の内壁の基板13に形成されるとともに、酸化アルミニウム膜29が除去されアルミニウム電極15が露出された半導体チップ11のビア25内は、銅メッキが施されて充填され、図6に示すように、導電体17（図1に示す第1導電体17a、第2導電体17b、第3導電体17c、…）が形成される。これにより、図1に示すように、第1半導体チップ11a、第2半導体チップ11b、第3半導体チップ11c、…の第1電極15aは第1導電体17aにより、また、第2電極15bは第2導電体17bにより、更に、第3電極15cは第3導電体17cにより電氣的に接続されている。

【0031】この銅メッキは、例えば、ビア25の孔の一端部に、銅等の材料からなるプラグ33（図1に示す）が挿入されるとともに、プラグ33に図示しないメッキ用電極の一方が接続され、かつ、他方のメッキ用電

極がメッキ液に挿入された後に、図示しないメッキ槽に挿入され、半導体チップ 11 はビア-25 の孔内にメッキを成長させ充填し、第 1 導電体 17 a、第 2 導電体 17 b、第 3 導電体 17 c、…が形成される。このプラグ 33 は、半導体装置 1 の電極として用いることができる。また、他の例として、プラグ 33 を用いずに、半導体チップ 11 の電極 15 にメッキ用電極の一方が接続され、かつ、他方のメッキ用電極がメッキ液に挿入された後に図示しないメッキ槽に挿入して、ビア-25 の孔内にメッキを成長させて充填し、第 1 導電体 17 a、第 2

導電体 17 b、第 3 導電体 17 c、…が形成される。  
 【0032】上記実施例では、ビア-25 は、各第 1 半導体チップ 11 a、第 2 半導体チップ 11 b、第 3 半導体チップ 11 c、…の各半導体チップ 11 の間が、第 1 接着剤 21 a、第 2 接着剤 21 b、…で接着された後にドリルであけられたが、第 1 半導体チップ 11 a、第 2 半導体チップ 11 b、第 3 半導体チップ 11 c、…の各々にビア-25 の孔をあけた後に治具を用いて貫通したビア-25 を形成するようにしても良い。このとき仮に、第 1 半導体チップ 11 a、第 2 半導体チップ 11

b、第 3 半導体チップ 11 c、…の各々にビア-25 の孔がズレてもメッキにより充填されるため、電氣的に接続する導電体 17 を形成できる。従って、ビア-25 の孔あけ位置の精度は低下でき、製造が容易になる。  
 【0033】次に、半導体装置 1 (図 17 に示す) が構成される半導体チップ 11 を製造する第 2 実施例の工程について説明する。第 1 実施例では、ビア-25 の孔の内壁に  $\text{SiO}_2$  の絶縁膜 27 を基板 13 に形成するとともに、アルミニウム電極 15 の酸化アルミニウム膜 29 が除去されて露出された後に、半導体チップ 11 は

銅メッキが施されて導電体を形成している。  
 【0034】これに対して、第 2 実施例では、ビア-25 に接する電極 15 の上面の第 1 接着剤 21 a、第 2 接着剤 21 b、…を所定量だけ除去して電極 15 の上面も露出して半導体チップ 11 を接着するとともに、半導体チップ 11 を加熱して基板 13 に絶縁膜を施した後、半導体チップ 11 は銅メッキが施されて導電体を形成している。

【0035】先ず、第 1 実施例と同様に図 1 に示すように、基板 13 の一面側 13 a には、アルミニウムからなる電極 15 が蒸着されている。この一面側 13 a の基板 13 には、図示しない  $\text{SiO}_2$  の絶縁膜が形成されていても良い。また、第 1 実施例と同様に図 1 に示すように、電極 15 に図示しないドリルにより第 1 半導体チップ 11 a、第 2 半導体チップ 11 b、第 3 半導体チップ 11 c、…および、第 1 接着剤 21 a、第 2 接着剤 21 b、…を貫通したビア-25 があけられる。

【0036】次に、ビア-25 があけられた半導体チップ 11 は、絶縁性の第 1 接着剤 21 a、第 2 接着剤 21 b、…を溶融する有機溶剤により、第 1 電極 15 a およ

び第 2 電極 15 b の図示上側 (Ma) が、図 7 に示すように所定量 (直径 Da) だけ除去され、電極上面が露出される。この半導体チップ 11 は所定の温度で加熱される。この結果、図 8 に示すように、ビア-25 の基板 13 には、 $\text{SiO}_2$  の絶縁膜 27 が形成される。ビア-25 内のアルミニウムの電極 15 には、酸化アルミニウム膜 29 が形成された後に第 1 実施例と同様に除去しても良く、また、半導体チップ 11 を所定の温度で加熱する前に、電極 15 の図示上面およびビア-25 の内面に、酸化防止剤を塗布しておいて酸化膜の発生を防止するようにしても良い。

【0037】次に、ビア-25 のアルミニウム電極 15 に形成される酸化アルミニウム膜 29 が、図 9 に示すように、選択エッチングにより除去される。 $\text{SiO}_2$  の絶縁膜 27 がビア-25 の基板 13 に形成されるとともに、酸化アルミニウム膜 29 が除去されるか、あるいは、酸化膜の発生が防止されてアルミニウム電極 15 が露出された半導体チップ 11 のビア-25 内には、銅メッキが施されて充填され、図 10 に示すように、導電体 17 (図 1 に示す第 1 導電体 17 a、第 2 導電体 17 b、第 3 導電体 17 c、…) が形成される。これにより、図 1 に示すように、第 1 半導体チップ 11 a、第 2 半導体チップ 11 b、第 3 半導体チップ 11 c、…の第 1 電極 15 a は第 1 導電体 17 a により、また、第 2 電極 15 b は第 2 導電体 17 b により、更に、第 3 電極 15 c は第 3 導電体 17 c により電氣的に接続されている。

【0038】このとき、第 2 実施例では、絶縁性の第 1 接着剤 21 a、第 2 接着剤 21 b、…が電極 15 の図示上側 (Ma) で所定量が除去された分だけ、第 1 電極 15 a、第 2 電極 15 b、第 3 電極 15 c …と銅メッキの接着量が多くなり、接着強度が増すと共に、導電性が良くなる。銅メッキの製造方法は、第 1 実施例と同様なため説明は省略する。

【0039】上記実施例では、ビア-25 の周囲の第 1 接着剤 21 a、第 2 接着剤 21 b、…は、有機溶剤で除去するようにしたが、ビア-25 の周囲に治具等を用いて、電極 15 の上面が所定量だけ露出するように、所定の直径 Da (図 7 に示す) の分だけ塗布しないようにしても良い。

【0040】次に、半導体装置 1 が構成される側面電極用半導体チップ 41 を製造する第 3 実施例の工程について説明する。

【0041】図 11 は、半導体装置 1 の側面電極用半導体チップ 41 を積層した斜視図、図 12 から図 16 は側面電極用半導体チップ 41 の第 3 実施例の製造工程を説明するための一部側面断面図である。

【0042】第 1 実施例および第 2 実施例では、積層した半導体チップ 11 にビア-25 をあけた後、半導体チップ 11 を加熱してビア-25 に絶縁膜を施すとともに

に、ビア-25内にメッキを施して充填し、各半導体チップ11a、11b、11c、…の各電極15a、15b、15c、…をビア-25内でそれぞれメッキよりなる導電体19により電氣的に接続している。

【0043】これに対して、第3実施例では、半導体装置1の側面電極用半導体チップ41は、積層された側面電極用第1半導体チップ41a、側面電極用第2半導体チップ41b、側面電極用第3半導体チップ41c、…の一面に側面用電極43を側面まで蒸着し、側面用電極43は側面に側面用電極43と導通するメッキを施して側面導電体45を形成して電氣的に接続している。側面用電極43は、基板13の一面側13aにアルミニウムが基板13の側面端部まで蒸着されており、側面に所定の厚さを有して露出している。この側面用電極43は、例えば、側面第1電極43a、側面第2電極43b、側面第3電極43c、…が基板13の一面側13aに蒸着されている。また、この側面用電極43は、基板13の図示上側の片面に電極43を設け、図示しない回路を構成したが、前記と同様に、両側に電極43を設けて両側に図示しない回路を構成しても良い。

【0044】積層された側面電極用第1半導体チップ41a、側面電極用第2半導体チップ41b、側面電極用第3半導体チップ41c、…の側面第1電極43aは側面第1導電体45aにより、また、側面第2電極43bは側面第2導電体45bにより、更に、側面第3電極43cは側面第3導電体45cにより電氣的に接続されている。

【0045】また、側面電極用第1半導体チップ41a、側面電極用第2半導体チップ41b、側面電極用第3半導体チップ41c、…は、その間を絶縁材料からなる側面電極用第1接着剤47a、側面電極用第2接着剤47b、…で接着されて積層されている。

【0046】この側面電極用半導体チップ41は、図12および図16のような第3実施例の工程で製造されている。先ず、図12に示すように、基板13の一面側13aには、アルミニウムからなる側面用電極43aが基板13の端部(Pa)まで蒸着されている。この一面側13aの基板13には、電極43部を除いて図示しないSiO<sub>2</sub>の絶縁膜が接着前に形成されていても良い。

【0047】次に、側面電極用半導体チップ41は、図12に示すように、全側面(端部Pa)が研削される。研削された側面電極用半導体チップ41は、図13に示すように、所定の温度で加熱され、側面用電極43が露出しているシリコン単結晶よりなる基板13の全側面にSiO<sub>2</sub>の側面用絶縁膜49が形成されるとともに、側面用電極43の表面に側面用酸化アルミニウム膜51が形成される。この側面用電極43の表面に形成された側面用酸化アルミニウム膜51は、図14に示すように、選択エッチングにより除去される。

【0048】次に、積層された側面電極用第1半導体チ

ップ41a、側面電極用第2半導体チップ41b、側面電極用第3半導体チップ41c、…の側面第1電極43aの縦一列、側面第2電極43bの縦一列、側面第3電極43cの縦一列、…のメッキを施す部分を残して、図15に示すように、他の側面にメッキ防止剤53を塗布して覆い各縦一列の溝55を形成する。

【0049】SiO<sub>2</sub>の側面用絶縁膜49が基板13の側面に形成されるとともに、側面用酸化アルミニウム膜51が除去されて側面用電極43が露出された側面電極用半導体チップ41の溝55は、銅メッキが施されて充填され、図16に示すように、側面電極用第2半導体チップ41b、側面電極用第3半導体チップ41c、…の端部(Pa)に導電体45が形成される。これにより、図11に示すように、側面電極用第1半導体チップ41a、側面電極用第2半導体チップ41b、側面電極用第3半導体チップ41c、…の側面第1電極43aは側面第1導電体45aにより、また、側面第2電極43bは側面第2導電体45bにより、更に、側面第3電極43cは側面第3導電体45cにより電氣的に接続されている。

【0050】この銅メッキは、側面電極用半導体チップ41の側面用電極43に図示しないメッキ用電極の一方が接続され、かつ、他方のメッキ用電極がメッキ液に挿入された後に、図示しないメッキ槽に挿入して、図11に示すように、側面第1電極43aの縦一列、側面第2電極43bの縦一列、側面第3電極43cの縦一列、…内にメッキを成長させて充填し、側面電極用第1半導体チップ41a、側面電極用第2半導体チップ41b、側面電極用第3半導体チップ41c、…が形成される。

【0051】上記実施例では、積層した側面電極用半導体チップ41を研削したが、研削したものを側面電極用接着剤47により積層しても良く、また、研削を省略しても良い。また、側面用電極43は、基板13の端部まで露出するように蒸着する例を示したが、端部まで露出させずに研削により露出するようにしても良い。

【0052】一体化された各半導体チップ11、および、側面電極用半導体チップ41は、図17に示すように、所定の厚さのモールド樹脂57を流し込むことにより半導体装置1が形成される。また、プラグ33の下側、導電体17および導電体45の上下、あるいは、電極43のいずれかから(図示では下側に書いてある)外部と電氣的に接続するように構成されている。また、プラグ33の下側、導電体17および導電体45の上下、あるいは、電極43にワイヤーボールバンプ59を設けて外部と電氣的に接続するように構成するようにしても良い。

【0053】図18には、本発明の実施の形態に係る半導体装置1を実装した回路基板1000を示している。回路基板1000には、例えば、ガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1



000には、例えば、銅からなるボンディング部が所望の回路となるように形成されている。そして、ボンディング部と半導体装置1の外部電極とを機械的に接続することでそれらの電氣的導通が図られる。

【0054】なお、半導体装置1は、実装面積をベアチップにて実装する面積にまで小さくすることが出来るので、この回路基板1000を電子機器に用いれば電気機器自体の小型化が図られる。また、同一面積内においては、より実装スペースを確保することができ、高機能化を図ることも可能である。

【0055】そして、この回路基板1000を備える電子機器として、図19にノート型パーソナルコンピュータ1200を示している。このノート型パーソナルコンピュータ1200は、製造容易で小型化された安価な回路基板1000を備えているため、小型化で安価にできる。

【0056】

【発明の効果】以上説明したように本発明によれば、各半導体チップのビア内に配設された電極にメッキが施され充填されて電気を導通する導電体となっているため、ビア直径の大小、あるいは、ビアの孔位置の精度に関係なく各半導体チップに導電することが出来る。また、電極は、ビア内壁および電極上面にメッキが施され充填されて電気を導通する導電体となっているため、電極とメッキとの接合面積が大きくなり、接合部の強度を増すとともに、電気の導通が更に良くなっている。また、メッキがプラグと電極の両方から施されてビア内を充填するために、メッキ施工が容易になるとともに、メッキ時間の短縮が図れる。

【0057】また、各半導体チップの側面端面に露出した電極を電氣的に接続して導電体としたため、実装面積が小さくなるとともに、側面端面を加工して導電体を形成するために、外部より加工ができ製造が容易になる。各半導体チップの側面端面の溝にメッキを充填し各半導体チップを電氣的に接続する導電体としているため、溝の大小、あるいは、半導体チップの精度に関係なく各半導体チップに導電することが出来るので、製造が容易になる。

【0058】また、半導体装置は製造が容易で、かつ、小型で安価になるため、小型で安価な電子機器を得ることが出来る。

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置の第1実施形態の半導体チップを積層した一部側面断面図である。

【図2】本発明の実施形態に係る半導体装置の第1実施形態の半導体チップを積層した積層した斜視図である。

【図3】本発明の実施形態に係る半導体装置の第1実施形態における半導体チップの孔あけ工程を説明する一部側面断面図である。

【図4】本発明の実施形態に係る半導体装置の第1実施

形態における半導体チップの絶縁膜を製造する工程を説明する一部側面断面図である。

【図5】本発明の実施形態に係る半導体装置の第1実施形態における半導体チップの電極の絶縁膜をエッチングする工程を説明する一部側面断面図である。

【図6】本発明の実施形態に係る半導体装置の第1実施形態における半導体チップのビアにメッキを施す工程を説明する一部側面断面図である。

10 【図7】本発明の実施形態に係る半導体装置の第2実施形態における半導体チップの接着剤を除去する工程を説明する一部側面断面図である。

【図8】本発明の実施形態に係る半導体装置の第2実施形態における半導体チップの絶縁膜を製造する工程を説明する一部側面断面図である。

【図9】本発明の実施形態に係る半導体装置の第2実施形態における半導体チップの電極の絶縁膜をエッチングする工程を説明する一部側面断面図である。

20 【図10】本発明の実施形態に係る半導体装置の第2実施形態における半導体チップのビアにメッキを施す工程を説明する一部側面断面図である。

【図11】本発明の実施形態に係る半導体装置の第3実施形態の半導体チップを積層した斜視図である。

【図12】本発明の実施形態に係る半導体装置の第3実施形態における半導体チップの研削工程を説明する一部側面断面図である。

【図13】本発明の実施形態に係る半導体装置の第3実施形態における半導体チップの絶縁膜を製造する工程を説明する一部側面断面図である。

30 【図14】本発明の実施形態に係る半導体装置の第3実施形態における半導体チップの電極の絶縁膜をエッチングする工程を説明する一部側面断面図である。

【図15】本発明の実施形態に係る半導体装置の第3実施形態における半導体チップの側面にメッキを施す工程を説明する一部側面断面図である。

【図16】本発明の実施形態に係る半導体装置の第3実施形態における半導体チップの側面にメッキを施した結果を示す工程を説明する一部側面断面図である。

【図17】本発明の実施形態に係る半導体装置の側面断面図である。

40 【図18】実施形態に係る半導体装置の回路基板への適用例の説明図である。

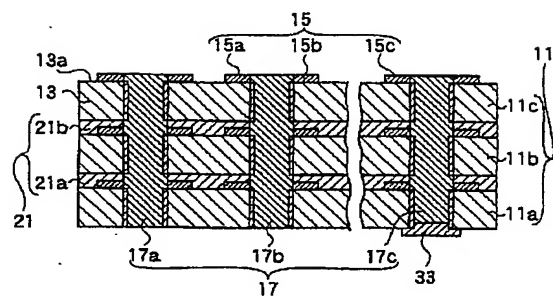
【図19】実施形態に係る半導体装置の電子機器への適用例の説明図である。

【符号の説明】

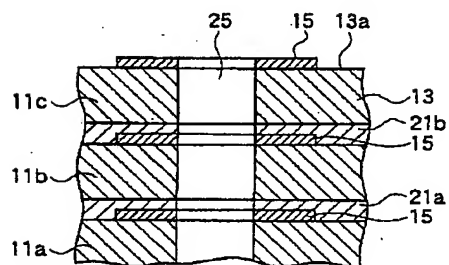
1	半導体装置
11	半導体チップ
13	シリコン単結晶基板
15	電極
17	導電体
21	接着剤

- 25      ピアー  
 27      絶縁膜  
 29      酸化アルミニウム膜  
 33      プラグ  
 41      側面電極用半導体チップ  
 43      側面電極  
 45      側面導電体  
 47      側面電極用接着剤

【図1】

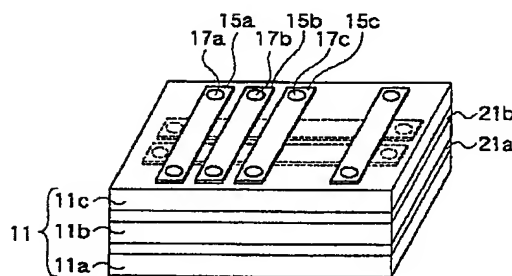


【図3】

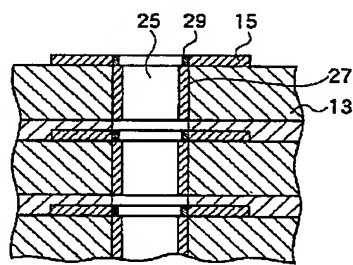


- \* 49      側面用絶縁膜  
 51      側面用酸化アルミニウム膜  
 53      メッキ防止剤  
 55      溝  
 57      モールド樹脂  
 59      ワイヤボールバンプ  
 1000      回路基板  
 \* 1200      ノート型パーソナルコンピュータ

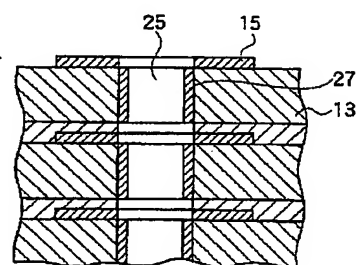
【図2】



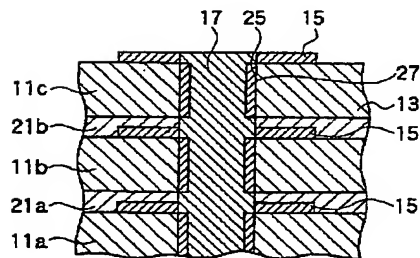
【図4】



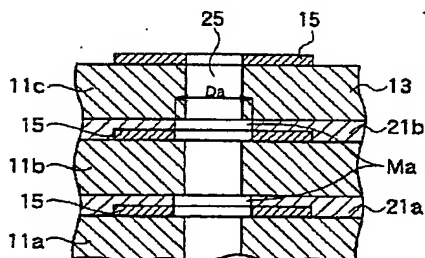
【図5】



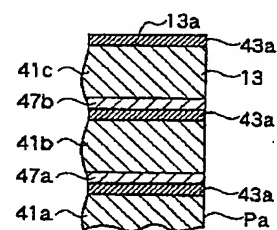
【図6】



【図7】

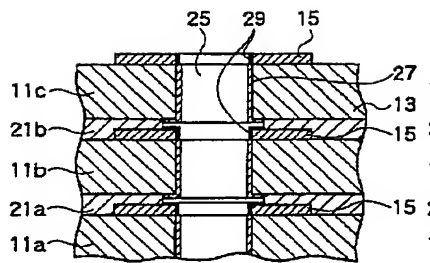


【図12】

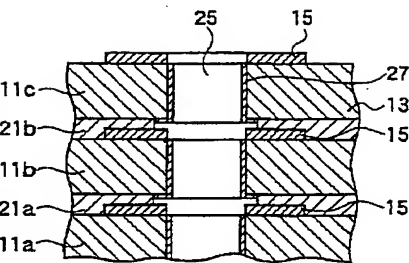




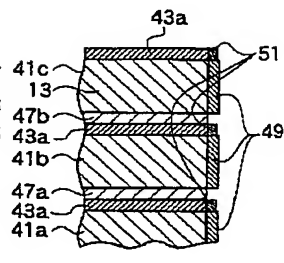
【図8】



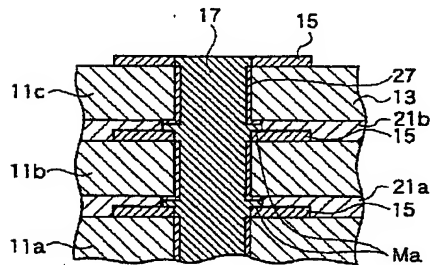
【図9】



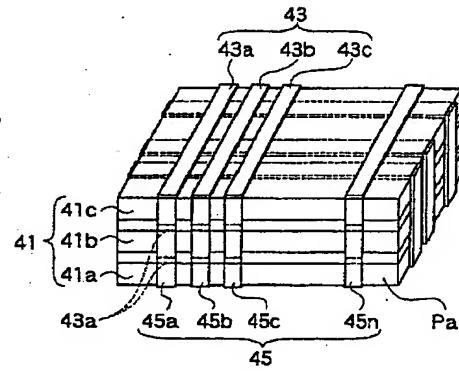
【図13】



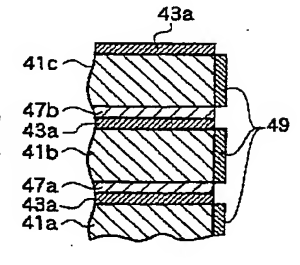
【図10】



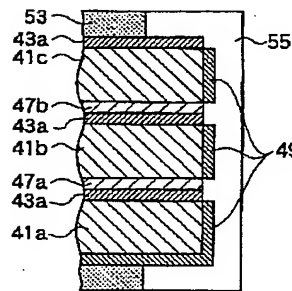
【図11】



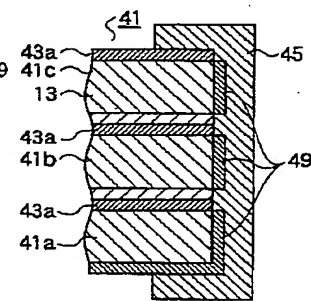
【図14】



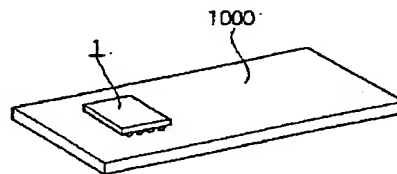
【図15】



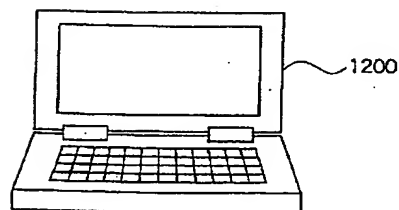
【図16】



【図18】



【図19】



【図17】

